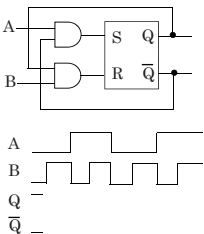
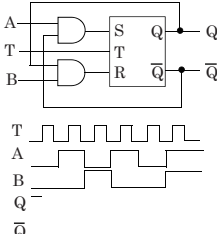
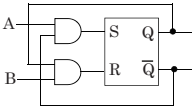
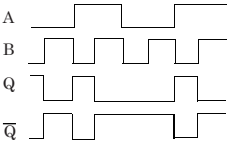
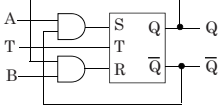
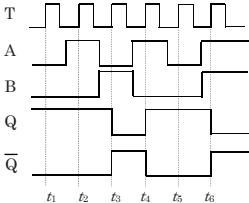


『よくわかるデジタル回路』正誤表 (2022/4/7現在)
 コード 30228-6 第1版第3刷(2020/2/20発行)

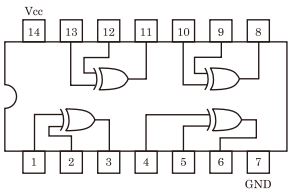
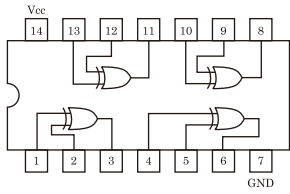
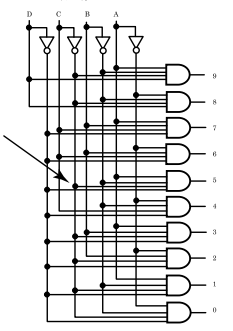
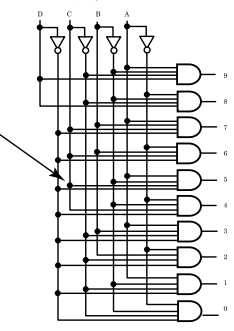
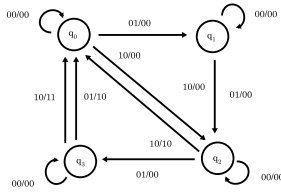
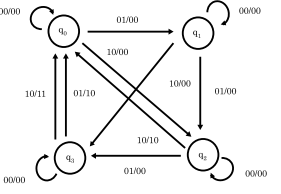
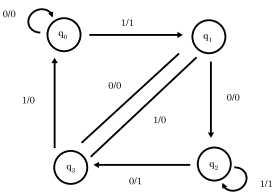
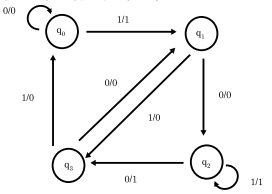
ページ	行	誤	正
165	4行目	$V+$ または $V-$	$+V_{sat}$ (正の最大電圧), $-V_{sat}$ (負の最大電圧)
165	5行目	回路特性がアナログ/デジタル変換に用いられる。	回路特性がアナログ/デジタル変換に用いられる。 一般に, $+V_{sat}$ と $-V_{sat}$ は, それぞれオペアンプの正電源 $V+$ と負電源 $V-$ の範囲内の近い値である。
165	図11-8	<p>The graph shows the output voltage V_o on the vertical axis and the input voltage $V_- - V_+$ on the horizontal axis. The output is 0 for $V_- - V_+ < 0$ and $V_- - V_+ > 0$. The saturation levels are $V+$ and $V-$.</p>	<p>The graph shows the output voltage V_o on the vertical axis and the input voltage $V_- - V_+$ on the horizontal axis. The output is $+V_{sat}$ for $V_- - V_+ < 0$ and $-V_{sat}$ for $V_- - V_+ > 0$. The saturation levels are $+V_{sat}$ and $-V_{sat}$.</p>
171	最後の行	…を準備し, アナログ入力電圧を256個の抵抗で分圧する。	…を準備し, 基準電圧を256個の抵抗で分圧する。

『よくわかるデジタル回路』 正誤表 (2020/6/25現在)

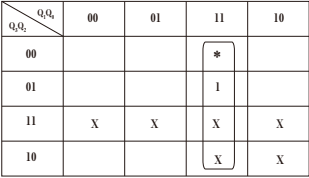
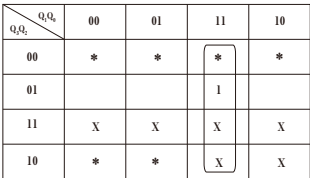
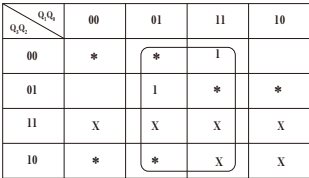
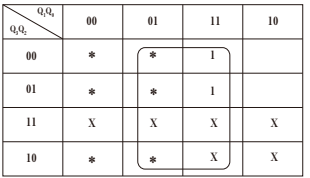
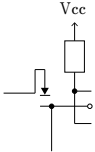
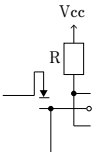
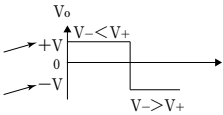
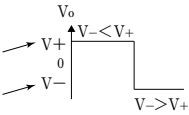
コード 30228-6 第1版第2刷 (2016/7/15発行)

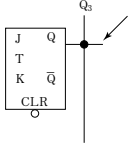
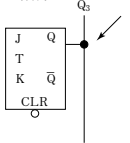
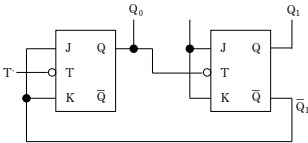
頁	誤	正
124	<p>章末問題8 ②</p> <p>図8-23のRSフリップフロップとANDゲートを用いた回路の動作を説明し、タイムチャートを完成させよ。初期状態として、$Q=1, \bar{Q}=0$とする。</p>  <p style="text-align: right;">図8-23</p>	<p>図8-23のRSTフリップフロップとANDゲートを用いた回路の動作を説明し、以下のタイムチャートを完成させよ。初期状態として、$Q=1, \bar{Q}=0$とする。</p> 
201	<p>章末問題解答 第8章 ②</p>  <p style="text-align: right;">章末解図 8-23</p> <p>上図の回路で、初期状態$Q=1, \bar{Q}=0$のとき、入力A,Bにそれぞれ0,1を加えると、RSフリップフロップの入力には$S=0, R=1$が加わるため、出力Q, \bar{Q}はそれぞれ0,1に変化する。次に、入力A,Bにそれぞれ1,0を加えると、$S=1, R=0$となり、出力$Q=1, \bar{Q}=0$となる。その後、入力A,Bともに1が加わると、RSフリップフロップの入力$S=0, R=1$となり、出力Q, \bar{Q}は$Q=0, \bar{Q}=1$に変化する。タイムチャートは以下のとおり。</p> 	 <p>上図の回路において、初期状態$Q=1, \bar{Q}=0$で、入力A,Bがともに0のとき、下図のタイムチャートの時刻t_1でクロックパルスTは1となるが、$S=0, R=0$なのでQと\bar{Q}は変化しない。次に$A=1, B=0$に対して、時刻t_2でTが1となるも、やはり$S=0, R=0$なのでQと\bar{Q}は変化しない。時刻t_3では$A=0, B=1$なので$A\bar{Q}=0, BQ=1$、すなわち$S=0, R=1$となり、$T=1$で$Q=0, \bar{Q}=1$となる。さらに時刻t_4の時点では、$A=1, B=0$、すなわち$AQ=1, BQ=0$から$S=1, R=0$となり、$T=1$で$Q=1, \bar{Q}=0$となる。時刻t_5の時点では、$A=0, B=0$、すなわち$A\bar{Q}=0, BQ=0$から$S=0, R=0$となり、$T=1$で$Q=1, \bar{Q}=0$と値は保持される。最後に、時刻t_6では、$A=1, B=1$なので$A\bar{Q}=0, BQ=1$、すなわち$S=0, R=1$となり、$T=1$で$Q=0, \bar{Q}=1$と変化する。</p> 

『よくわかるデジタル回路』正誤表 (2020/6/29現在)
 コード30228 第1版第1刷(2012/12/28発行)

ページ	行	誤	正
31	1行目	CMOSトランジスタ	CMOS回路
33	図3-7 (a)	CMOSトランジスタ回路	CMOS回路
35	1行目	CMOSトランジスタ回路	CMOS回路
36	図3-10 (a)	CMOSトランジスタ回路	CMOS回路
38	1行目	CMOSトランジスタ回路	CMOS回路
41	図3-14	 <p>The diagram shows a 4-bit ripple carry adder. The carry signal from the third stage (output 6) has to propagate through the fourth stage (output 7) before reaching the final carry output (output 8). This creates a delay in the carry propagation.</p>	<p>4個のゲートとも、線の中まで延長する。</p>  <p>The diagram shows the same 4-bit ripple carry adder, but the carry signal lines are extended through the gates to the final output, ensuring that the carry signal reaches the final output without delay.</p>
75	図6-5	 <p>The diagram shows a 4-bit ripple carry adder. The carry signal from the third stage (output 6) has to propagate through the fourth stage (output 7) before reaching the final carry output (output 8). This creates a delay in the carry propagation.</p>	 <p>The diagram shows the same 4-bit ripple carry adder, but the carry signal lines are extended through the gates to the final output, ensuring that the carry signal reaches the final output without delay.</p>
110	図8-3	 <p>The diagram shows a state transition diagram for a 2-bit counter. The states are q_0, q_1, q_2, and q_3. The transitions are labeled with binary values. There is a missing arrow from q_1 to q_2.</p>	<p>真ん中の右上から左下へ向かう矢印を追加する。</p>  <p>The diagram shows the same state transition diagram for a 2-bit counter. The states are q_0, q_1, q_2, and q_3. The transitions are labeled with binary values. An arrow is added from q_1 to q_2.</p>
125	図8-25	 <p>The diagram shows a state transition diagram for a 2-bit counter. The states are q_0, q_1, q_2, and q_3. The transitions are labeled with binary values. There is a missing arrow from q_1 to q_2.</p>	<p>真ん中の2本の線の矢印にする。</p>  <p>The diagram shows the same state transition diagram for a 2-bit counter. The states are q_0, q_1, q_2, and q_3. The transitions are labeled with binary values. An arrow is added from q_1 to q_2.</p>

『よくわかるデジタル回路』 正誤表 (2020/6/29現在)
 コード30228 第1版第1刷(2012/12/28発行)

ページ	行	誤	正
148	④K ₂ のカルノー図		
149	⑥K ₄ のカルノー図		
150	図10-3		<p>左端の抵抗の近くに「R」を追加する。</p> 
162	2行目	イマジナリーショート	バーチャルショート
163	下から7行目	イマジナリーショート	バーチャルショート
164	4行目	イマジナリーショート	バーチャルショート
165	上から4行目	入力電圧の違いにより+Vまたは-Vの・・・	入力電圧の違いによりV+またはV-の・・・
165	図11-8		<p>左端の「V」2カ所の符号の位置を逆にする。</p> 
165	下から10、9、3、1行目	ボルテージフォロア	ボルテージフォロフ
166	2、5行目、図11-9題名	ボルテージフォロア	ボルテージフォロフ
177	下から6行目	イマジナリーショート	バーチャルショート
178	7行目	イマジナリーショート	バーチャルショート
198	最後の行	$C=A \cdot B + B \cdot C$	$C=A \cdot B + B \cdot C_{-1}$
199	1行目	+C・Aが得られる。	+C ₋₁ ・Aが得られる。

ページ	行	誤	正
209	章末解図39		<p>右端の横線を削除。</p> 
210	章末解図41		<p>図内に「1」を加筆。</p> 